

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-101135
(43)Date of publication of application : 07.04.2000

(51)Int.Cl. H01L 33/00

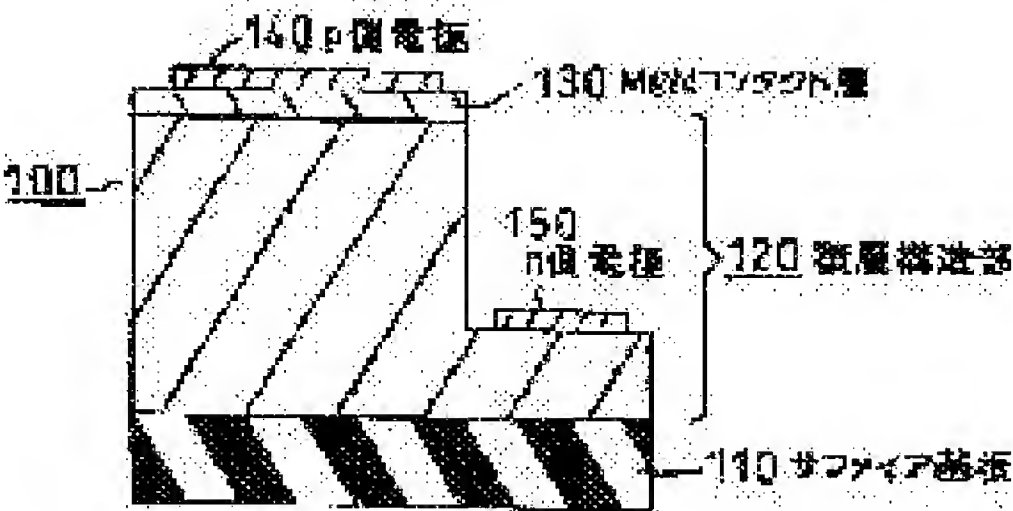
(21)Application number : 10-269318 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 24.09.1998 (72)Inventor : FUJIMOTO HIDETOSHI
NISHIO JOJI
SUGIURA RISA

(54) COMPOUND SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To improve a P-type contact layer to contrive a low-operating voltage ohmic contact of the P-type contact layer with a layer consisting of a II-V compound layer, by a method wherein the layer consisting of the II-V compound layer is provided between a P-type III-V compound semiconductor layer and a P side electrode.

SOLUTION: A semiconductor laser 100 is formed so that a laminated structure 120 consisting of a GaN compound semiconductor material is turned into an N-type layer on the side of a sapphire substrate 110 on the sapphire substrate 110. An MgN contact layer 130 consisting of a compound of magnesium with nitrogen is formed on the surface of the P-type layer of this structure part 120. The structure 120 is formed on the substrate 110 and the layer 130, a P side electrode 140 and an N side electrode 150 are formed over the substrate 110. This layer 130 is undoped, but as a nitrogen vapor pressure in the layer 130 is high in this state of the layer 130, the nitrogen vapor pressure is prevented from being bled from an MgN compound by an addition of hydrogen to the layer 130. Moreover, for improving the characteristics of the laser 100, carbon to act as in acceptor in a II-V compound semiconductor layer is added to the layer 130 and the resistance of the contact layer can be reduced.



LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

(51)Int.Cl.⁷
H 0 1 L 33/00

識別記号

F I
H 0 1 L 33/00

テームコード* (参考)
C 5 F 0 4 1

審査請求 未請求 請求項の数4 O L （全 7 頁）

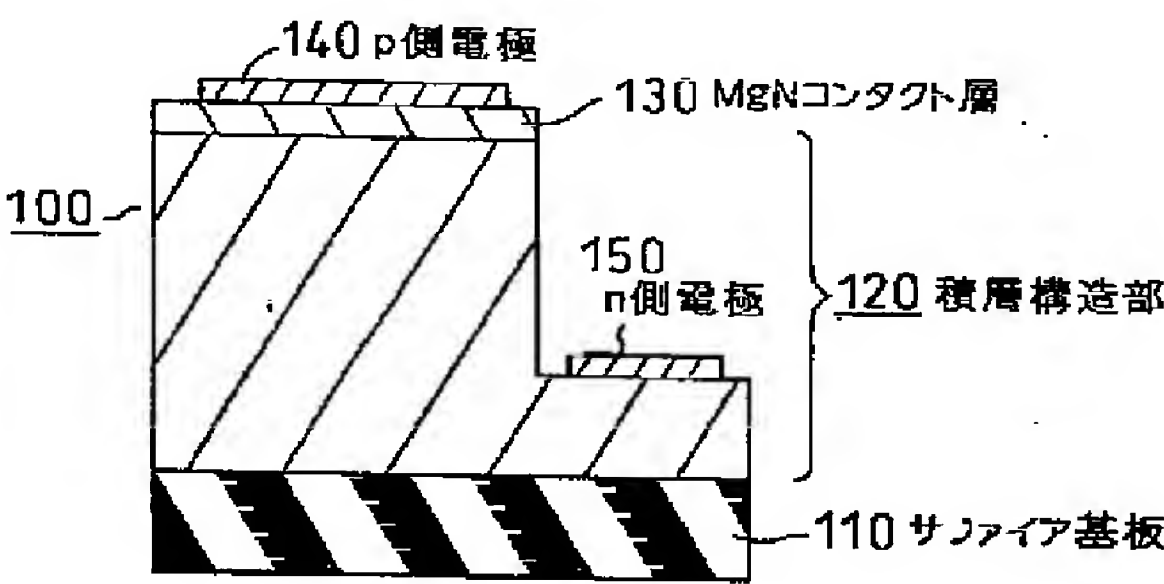
(21)出願番号	特願平10－269318	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成10年9月24日(1998.9.24)	(72)発明者	藤本 英俊 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
		(72)発明者	西尾 譲司 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
		(74)代理人	100083161 弁理士 外川 英明
		最終頁に続く	

(54)【発明の名称】 化合物半導体素子

(57)【要約】

【課題】 GaNなどの3－5族化合物半導体層を含む化合物半導体素子では、特にp型3－5族化合物半導体層とp側電極との間の接触抵抗が高いという問題点があった。

【解決手段】 p型3－5族化合物半導体層と、p側電極140と、前記p型3－5族化合物半導体層と前記p側電極との間に形成された2－5族化合物からなる層130とを備えることを特徴とする化合物半導体素子。



【特許請求の範囲】

【請求項1】 p型3-5族化合物半導体層と、
p側電極と、
前記p型3-5族化合物半導体層と前記p側電極との間に形成された2-5族化合物からなる層とを備えることを特徴とする化合物半導体素子。

【請求項2】 ガリウムと窒素とを含むp型3-5族化合物半導体層と、
p側電極と、
前記p型3-5族化合物半導体層と前記p側電極との間に形成されたマグネシウムと窒素との化合物からなる層とを備えることを特徴とする化合物半導体素子。

【請求項3】 p型3-5族化合物半導体層と、
n型半導体層と、
このn型半導体層と前記p型3-5族化合物半導体層との間に形成された活性層と、
前記p型3-5族化合物半導体層に形成された2-5族化合物からなるコンタクト層と、
このコンタクト層に形成されたp側電極と、
前記n型半導体層に対して設けられたn側電極とを備えることを特徴とする化合物半導体素子。

【請求項4】 前記p型3-5族化合物半導体層が少なくともガリウムと窒素とを含むことと、
前記コンタクト層がマグネシウムと窒素との化合物であることを特徴とする請求項3記載の化合物半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、化合物半導体素子、特に3族窒化物化合物半導体などの3-5族化合物半導体からなる半導体素子に関する。

【0002】

【従来の技術】近年、青色から紫外域の発光素子用の材料としてGaNをはじめとする3族窒化物化合物半導体を用いたものが実現されつつある。この材料系は直接遷移型のバンド構造を有しており高い発光効率を得られることから注目されている。中でもこの材料系を用いた半導体レーザは、その発振波長が短いがゆえに高密度の情報処理用の光源としての応用が期待されている。特にGaN系の半導体レーザは次世代DVDのピックアップ用光源として重要である。

【0003】このような3族窒化物化合物半導体材料では、従来p型結晶を得ることが非常に困難であり、これまでに特開平3-218625号公報や特開平5-183189号公報にあるような電子線照射や所定のアニーリング等の後処理によってしか得ることができないという時期があった。しかしながら、このようにして得られたp型結晶もキャリア濃度が必ずしも高いわけではなく、したがって良好なオーミック接触が得られず、素子を形成した際に高い動作電圧を必要とし、素子の信頼性

に欠ける要因となっていた。

【0004】

【発明が解決しようとする課題】以上のように従来の構造では、p型コンタクト層に対して良好なオーミック接触が得られないという問題点があった。そこで本発明は上記問題点に鑑みて為されたもので、p型コンタクト層の改善を図ることによって良好なオーミック接触を得ることができる化合物半導体素子を提供するものである。

【0005】

【課題を解決するための手段】第1の発明は、p型3-5族化合物半導体層と、p側電極と、前記p型3-5族化合物半導体層と前記p側電極との間に形成された2-5族化合物からなる層とを備えることを特徴とする化合物半導体素子である。

【0006】第2の発明は、ガリウムと窒素とを含むp型3-5族化合物半導体層と、p側電極と、前記p型3-5族化合物半導体層と前記p側電極との間に形成されたマグネシウムと窒素との化合物からなる層とを備えることを特徴とする化合物半導体素子である。

【0007】第3の発明は、p型3-5族化合物半導体層と、n型半導体層と、このn型半導体層と前記p型3-5族化合物半導体層との間に形成された活性層と、前記p型3-5族化合物半導体層に形成された2-5族化合物からなるコンタクト層と、このコンタクト層に形成されたp側電極と、前記n型半導体層に対して設けられたn側電極とを備えることを特徴とする化合物半導体素子である。

【0008】第4の発明は、前記p型3-5族化合物半導体層が少なくともガリウムと窒素とを含むことと、前記コンタクト層がマグネシウムと窒素との化合物であることと、を特徴とする第3の発明に記載の化合物半導体素子である。

【0009】本発明によれば、p型3-5族化合物半導体層においては、本来2族元素はアクセプタ元素となりうる元素である。この種の元素と母体を構成する5族元素との化合物を用いることにより、コンタクト層としての働きを高めることができ、また結晶成長を行なう上でも大きな障害をきたすことなく行なうことができるという作用・効果を有する。

【0010】

【発明の実施の形態】以下に本発明の実施の形態について図面を参照しながら説明する。図1は本発明の第1の実施形態である半導体レーザ100の概略構成を示す断面図である。半導体レーザ100はサファイア基板110上に、GaN系化合物半導体材料からなる積層構造部120がサファイア基板110側にn型層、表面側にp型層となるように形成されている。この積層構造部120のp型層の表面に本発明の主旨であるマグネシウム(Mg)と窒素との化合物からなるMgNコンタクト層130が形成されている。サファイア基板110上に、

後述する積層構造部120を形成し、後述するMgNコンタクト層130を形成し、p側電極140とn側電極150を形成する。

【0011】ここで電極材料としては、p側電極140には、半導体側からPt/Ti/Pt/Auの積層構造、Au-Mg合金、Ni/Au積層構造などが上げられる。一方、n側電極150には、Al/Ti/Au、Al/Pt/Au、Ti/Al、Ti/Auなどの積層構造を用いることができる。

【0012】図2は積層構造部120の一例概略構成を示す断面図である。積層構造部120は内部電流狭窄構造を有したSCH (Separate Confinement Hetero) 構造であり、MOCVD (Metal Organic Chemical Vapour Deposition) 法により、サファイア基板110上にGaNバッファ層201からn型GaN層212まで成長させ、電流狭窄構造を形成するためn型GaN層212をエッチング加工し、p型GaN層213及びp⁺型GaN層214を成長形成させる。以下、各層の組成と働きについて述べる。201は第1のGaNバッファ層（アンドープ、20nm（厚さ、以下同様））であり、サファイア基板と動作層（203～214）との格子不整合を緩和するものである。202は第2のGaNバッファ層（アンドープ、2μm）であり、GaNバッファ層201によって改善される動作層（203～214）の品質をさらに改善するための単結晶層である。203は、n型GaNコンタクト層（Siドープ、 $2 \times 10^{18} \text{ cm}^{-3}$ （キャリア濃度、以下同様）、4μm）である。

【0013】205は、n型 $\text{Al}_{0.07}\text{Ga}_{0.93}\text{N}$ クラッド層（Siドープ、 $1 \times 10^{18} \text{ cm}^{-3}$ 、0.65μm）である。206は、n型GaNガイド層（Siドープ、 $5 \times 10^{17} \text{ cm}^{-3}$ 、0.2μm）である。207は、 $\text{In}_{0.18}\text{Ga}_{0.82}\text{N}$ / $\text{In}_{0.04}\text{Ga}_{0.96}\text{N}$ 活性層（アンドープ、井戸幅20nm、障壁幅40nm、ペア数3）である。208は、p型 $\text{Al}_{0.25}\text{Ga}_{0.75}\text{N}$ 層（Mgドープ、 $1 \times 10^{17} \text{ cm}^{-3}$ 、0.05μm）であり、電子のオーバーフローを防止する働きをする。209は、p型GaNガイド層（Mgドープ、 $5 \times 10^{17} \text{ cm}^{-3}$ 、0.3μm）である。210は、p型 $\text{Al}_{0.07}\text{Ga}_{0.93}\text{N}$ クラッド層（Mgドープ、 $5 \times 10^{17} \text{ cm}^{-3}$ 、0.3μm）である。212は、n型GaN電流阻止層（Siドープ、 $1 \times 10^{18} \text{ cm}^{-3}$ 、0.15μm）である。尚、横モードを制御するためには、レーザ光を吸収する組成を有するInGaNなどの層を用いることが望ましい。211はp型GaN層（Mgドープ、 $1 \times 10^{18} \text{ cm}^{-3}$ 、0.2μm）であり、213はp型GaN層（Mgドープ、 $1 \times 10^{18} \text{ cm}^{-3}$ 、最も厚い所の厚さが0.3μm）であり、共に内部狭窄構造を形成するためのものである。214は

p⁺型GaN層（Mgドープ、 $2 \times 10^{18} \text{ cm}^{-3}$ 、0.05μm）であり、MgNコンタクト層130とp型GaN層213との接続を良くする働きをする。

【0014】本実施形態においては、MgNコンタクト層130の厚さを0.01μmとしたところ、動作電圧を8V程度から4.5V程度にまで低減でき、しきい値電流15mA、発振波長415nmで室温連続発振した。この厚さは0.002μm以上あればよく、0.05μm以下の厚さであることが望ましい。これは、0.002μm未満であると、薄すぎてコンタクト層として働かず、0.05μmを超えると、表面が荒れるからである。

【0015】本発明の特徴であるMgNコンタクト層130をp⁺型GaN層214上にMOCVD法による形成方法は、Mgの原料であるビスシクロペンタジエニルマグネシウム（ Cp_2Mg ）と窒素の原料であるアンモニアとを加熱された基板上に同時に流すことが望ましい。具体的には、p⁺型GaN層214成長後に、同じ成長温度（1100℃）で Cp_2Mg （150cc/分）およびアンモニア（10L/分）を基板上に流すことによって形成することも可能であるし、降温過程（降温速度：35℃/分）中に上記流量で原料を流すことによって形成することも可能である。

【0016】このような形成方法では、結晶成長直後に、同じ反応炉内で実現することが可能である。その他の形成法としては、Mgをターゲットに用いた窒素中での反応性スパッタ法によって形成することも可能であるし、Mgを真空蒸着器によって蒸着した後、アンモニアや窒素などの雰囲気によって加熱し、窒化することも可能である。

【0017】本実施形態においては、サファイアを基板として用いたが、2H型若しくは4H型若しくは6H型SiCやスピネル、あるいはGaN自身を基板として用いてもよい。GaNを基板として用いる場合には、昇華法などで作製することも可能であるが、サファイア基板上にストライプ状の SiO_2 をマスクに用いて、その上にクロライドVPE (Vapour Phase Epitaxy) 法などによって厚さ100μm程度かそれ以上の厚い膜を成長させた後、サファイア基板を研磨などによって除去することによって基板とすることができる。

【0018】（変形例1）第1の実施形態においては、MgNコンタクト層130をアンドープとしたが、この状態では窒素の蒸気圧が大きいため、MgN化合物から抜けやすい。このため、この窒素抜けを防止するために、水素を添加しておくことも可能である。水素の濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以上あることが望ましく、 $1 \times 10^{20} \text{ cm}^{-3}$ 以下であることが望ましい。これは、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であると、水素添加の効果が発揮されないためであり、 $1 \times 10^{20} \text{ cm}^{-3}$ を超えると、コンタクト

層自身が高抵抗となりコンタクト層として機能しないためである。

【0019】(変形例2)第1の実施形態では、MgNコンタクト層130をアンドープとしたが、より特性を向上させるために、炭素を添加した。炭素はGa₂Nなどの3-5族化合物半導体中ではアクセプタとして働く元素である。このような元素を添加することにより、コンタクト層の抵抗をより下げることができる。炭素濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 以上で $5 \times 10^{19} \text{ cm}^{-3}$ 以下であることが望ましい。これは $1 \times 10^{16} \text{ cm}^{-3}$ 未満であると、抵抗をより低減できるという効果が現われず、 $5 \times 10^{19} \text{ cm}^{-3}$ を超えると、炭素の析出が生じることによって抵抗が上昇するからである。

【0020】(変形例3)p⁺型Ga₂N層214とコンタクト層130との接触抵抗をより下げするためにガリウム(Ga)を添加することも可能である。この場合、従来のようにGa₂NにMgを高濃度添加したものでは表面モフォロジーが荒れるということがあったが、本発明のように、Mgと窒素との化合物にGaを添加すると表面が荒れることなく平坦な膜を形成することができる。このような場合にはX線回折において、Ga₂NにMgを高濃度添加したものとは異なる位置にピークが検出されるという点で、従来のMgを不純物として添加したGa₂N化合物層とは構成が異なる。添加するGaの不純物濃度は $5 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であることが望ましい。これは、 $5 \times 10^{17} \text{ cm}^{-3}$ 未満であると、Gaを添加した効果が得られず、 $1 \times 10^{21} \text{ cm}^{-3}$ を超えると、表面モフォロジーが荒れるからである。

【0021】(変形例4)変形例3では、コンタクト層130にGaを添加したが、Inを添加することも可能である。Inを用いた場合には、より低濃度で抵抗を下げることができ、また電極との接触抵抗も低減することができる。すなわち、添加するInの濃度は $2 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であることが望ましい。これは、この範囲より低濃度であると、Inを添加した効果が現われず、高濃度であるとInが部分的に析出し、接触抵抗にムラを作るためである。

【0022】図3は、本発明の第2の実施形態である発光ダイオード300の概略構成を示す断面図である。この発光ダイオード300は、MOCVD法により、n型GaAs基板310(Siドープ、 $3 \times 10^{17} \text{ cm}^{-3}$)上に、n型In_{0.5}(Al_{0.6}Ga_{0.4})_{0.5}Pクラッド層321(Siドープ、 $3 \times 10^{17} \text{ cm}^{-3}$ 、0.15μm)、In_{0.5}(Al_{0.4}Ga_{0.6})_{0.5}P活性層322(アンドープ、50nm)、p型In_{0.5}(Al_{0.6}Ga_{0.4})_{0.5}Pクラッド層323(Znドープ、 $3 \times 10^{17} \text{ cm}^{-3}$ 、0.15μm)、n型GaAs電流阻止層324(Siドープ、 $3 \times 10^{17} \text{ cm}^{-3}$ 、0.15μm)を成長形成し、電流狭窄構造を形成するために、n型GaAs電流阻止層324をエッチング加工

し、p型In_{0.5}(Al_{0.6}Ga_{0.4})_{0.5}P埋め込み層325(Znドープ、 $5 \times 10^{17} \text{ cm}^{-3}$ 、最も厚い所の厚さが0.5μm)を成長形成し、亜鉛(Zn)と砒素(As)との化合物からなるZnAsコンタクト層330を前述した形成方法によって形成し、p側電極340及びn側電極350を形成した。ここでp側電極340としてはAu-Zn合金、n側電極350としてはAu-Ge合金を用いることができる。

【0023】ZnAsコンタクト層330を介在させることによって、動作電圧を下げることができ、その結果、素子寿命を約30%改善することができた。尚、本実施形態では基板上に直接、発光領域を形成したが、発光波長に対して基板310が吸収層となる。そこで、より好ましい実施形態としては、層成長後に基板310を研磨などで剥離しクラッド層321に直接電極を形成すること、あるいは基板310とクラッド層321との間にAlP/GaP半導体からなる多層反射層を形成することである。

【0024】図4は、本発明の第3の実施形態である受光素子400の概略構成を示す断面図である。受光素子400は、MOCVD法により、サファイア基板401の上に、Ga₂Nバッファ層402(アンドープ、50nm)と、n型Ga₂Nコンタクト層403(Siドープ、 $2 \times 10^{18} \text{ cm}^{-3}$ 、4μm)と、n型Al_{0.1}Ga_{0.9}Nクラッド層404(Siドープ、 $1 \times 10^{18} \text{ cm}^{-3}$ 、0.4μm)と、In_{0.1}Ga_{0.9}N受光層405(アンドープ、0.1μm)と、p型Al_{0.1}Ga_{0.9}Nクラッド層406(Mgドープ、 $5 \times 10^{17} \text{ cm}^{-3}$ 、0.4μm)と、p型Ga₂Nコンタクト層407(Mgドープ、 $1 \times 10^{18} \text{ cm}^{-3}$ 、0.4μm)と、を成長形成し、Mg₂Nコンタクト層430(0.05μm)を前述した形成方法によって形成し、p側電極440及びn側電極450を形成した。

【0025】ここでn側の電極材料としては、Al/Ti/Au、Al/Pt/Au、Ti/Al、Ti/Auなどの積層構造を用いることができる。一方、p側電極440については、受光面をどの面にするかによって材料に制限を受ける。例えば、表面から光を受ける場合には、受光感度領域において吸収せず、いわゆる透明電極となりうる材料で、しかも低抵抗となりうるものであることが望ましい。このような材料としては、例えば数nm程度と非常に薄いAu、Ni、Mgなどの金属膜やITO(Indium Tin Oxide)などの導電性酸化物などを用いることができる。一方、基板側を受光面とする場合には、受光層を透過した光を内部に反射できる材料、もしくは透過性を有しその外側に反射層を配置することができる材料であることが望ましい。このような材料としては、前者ではPtやNiなどが候補として上げられ、後者ではITOなどが上げられる。

【0026】In_{0.1}Ga_{0.9}N受光層405は、アン

ドーパの状態ではn型となり、電子のキャリア濃度で $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ を示す。これにドナー不純物をドーピングして好ましいキャリア濃度のn型としても良いし、アクセプター不純物をドーピングしてp型としても良い。好ましいのは、変換効率の高いPIN接合型とするため、 $\text{In}_{0.1}\text{Ga}_{0.9}\text{N}$ 受光層405にZnやCdなどの活性化しにくいアクセプター不純物をドーピングするか、もしくは、ドナーおよびアクセプター両方の不純物をドーピングすることにより半絶縁性のI (Intrinsic) 型とすることである。このような受光素子では $\text{In}_x\text{Ga}_y\text{N}$ 受光層405のIn組成を変化させることにより、365nm ($x=0, y=1$) \sim 635nm ($x=1, y=0$) 程度まで自由に変更可能である。

【0027】また、MgNコンタクト層430の存在により、受光感度を20 \sim 30%程度改善することができる。さらに、マウントによってMgNコンタクト層430側から光を取り入れることもできるが、本実施形態のようにサファイアを基板として用いることにより、基板側から光を取り入れることにより、感度を上げることも可能となる。その際には、p側電極440をMgNコンタクト層430の表面全面に形成することが望ましい。

【0028】さらには、n型GaNコンタクト層403は、GaNの代わりに、窒素をドーピングしたn型SiCを材料として用いてもよい。この場合、コンタクト層の透過率が良くなる。

【0029】図5は、本発明の第4の実施形態であるMESFET500の概略構成を示す断面図である。MES (Metal Semiconductor) FET 500は、サファイア基板501の上に、GaNバッファ層502 (アンドープ、30nm) と、n型GaN層 (Siドーピング、 $2 \times 10^{17} \text{ cm}^{-3}$) 503とを順に積層した構造になっている。ここにMgを添加することによって形成したp型GaNソース領域504及びp型GaNドレイン領域505と、その上にMgNコンタクト層530 (20nm) とが形成されている。また、n型GaN層503に対してPtのゲート電極540が形成されており、MgNコンタクト層上に、ソース電極541およびドレイン電極542とが形成されている。このような構成にすることにより、動作電圧を低減することができる。本実施形態のようなMESFET500は受光素子やHEMT (High Electron Mobility Transistor) で受けた信号の増幅などに用いることができる。

【0030】また、本実施形態の変形例としては、ゲート電極540とn型GaN層503との間にAlNやZnドーピングGaNなどの半絶縁物層や SiO_2 などの絶縁層を用いてMIS (Metal-Insulator-Semiconductor) 型FETとすることもできる。この際にはゲート電極540が半導体層との混じり合うことによって性能劣化することが抑制されるた

め、Alなどのn側電極材料を種々選択することができる点で有利である。

【0031】以下の3つの実施形態はいずれも半導体レーザに関わるものであり、図中の記号で第1の実施形態と同じ部分については説明は省略する。図6は、本発明の第5の実施形態である半導体レーザの概略構成を示す断面図である。本実施形態では表面側をリッジ構造とした。このような構造をとることにより、結晶成長工程を1回で済ませることができるため、再成長界面の酸化などの懸念が除かれるという利点がある。

【0032】図7は、本発明の第6の実施形態である半導体レーザの概略構成を示す断面図である。本実施形態では活性層207のまわりをBH (Buried Hetero) 構造とした。このような構造では、再成長工程を通常2回とらなければならないため、プロセスが煩雑になり、また界面の酸化などが懸念される。しかし、このような構造をとることにより、電流および光を効率閉じ込めることができるため、しきい電流密度を低減することができる。

【0033】図8は、本発明の第7の実施形態である半導体レーザの概略構成を示す断面図である。本実施形態では、p型クラッド層210の内側 (活性層側) に電流阻止層212を設けたものである。このような構造では、電流阻止層が活性層に近い場合、エッチング工程などで活性層にダメージを与えることが懸念される一方で、活性層をエッチングすることなく電流の閉じ込めを効率良く行なうことが出来るため、しきい電流密度を低減することができる。

【0034】本発明は、上記実施形態に限定されるものではない。すなわち、p型3-5族化合物半導体層を有する電子デバイスなどであれば、本発明を適用できることはいうまでもない。

【0035】

【発明の効果】以上述べてきたように、p型3-5族化合物半導体層を有する化合物半導体素子のp型コンタクト層を改善することによって、素子の動作電圧を下げる事ができた。

【図面の簡単な説明】

【図1】 第1の実施形態に係る半導体レーザの概略構成を示す断面図である。

【図2】 第1の実施形態に係る半導体レーザの積層構造部の概略構成を示す断面図である。

【図3】 第2の実施形態に係る発光ダイオードの概略構成を示す断面図である。

【図4】 第3の実施形態に係る受光素子の概略構成を示す断面図である。

【図5】 第4の実施形態に係るMESFETの概略構成を示す断面図である。

【図6】 第5の実施形態に係る半導体レーザの概略構成を示す断面図である。

【図7】 第6の実施形態に係る半導体レーザの概略構成を示す断面図である。

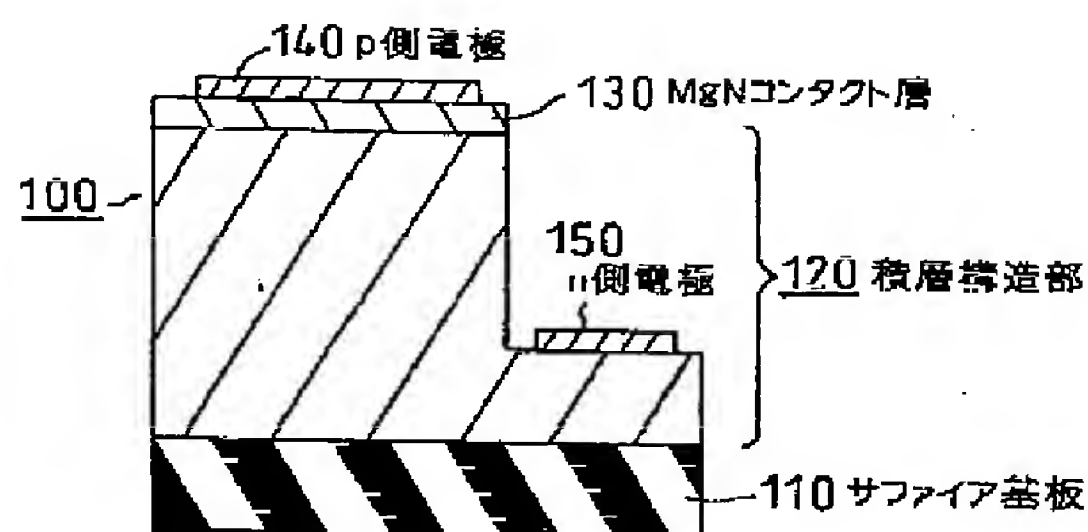
【図8】 第7の実施形態に係る半導体レーザの概略構成を示す断面図である。

【符号の説明】

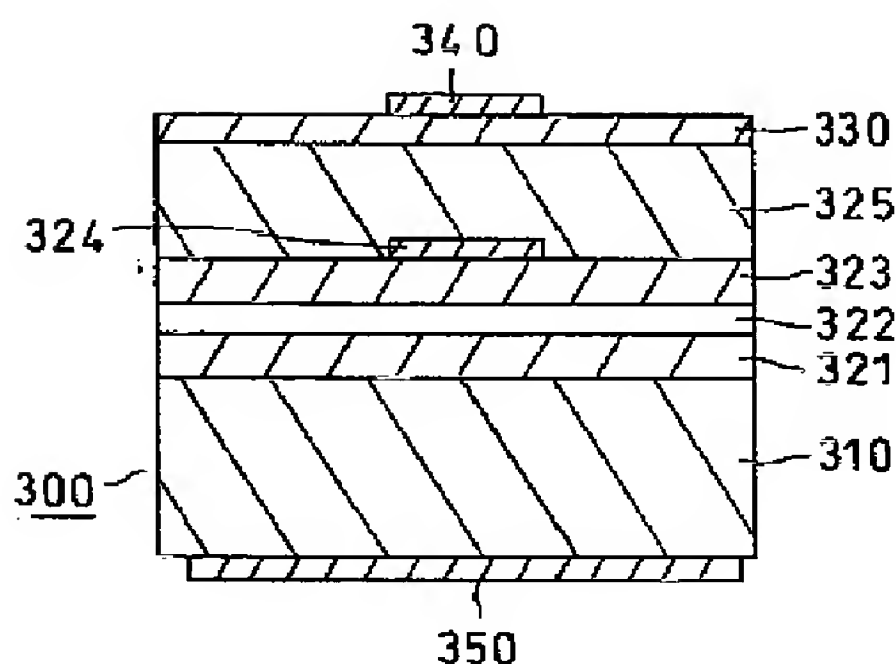
110、401、501 サファイア基板
120 積層構造部
130、430、530 MgNコンタクト層
140、340、440 p側電極
150、350、450 n側電極
201 第1のGa_{0.5}Nバッファ層
202 第2のGa_{0.5}Nバッファ層
203 n型Ga_{0.5}Nコンタクト層
205 n型Al_{0.07}Ga_{0.93}Nクラッド層
206 n型Ga_{0.5}Nガイド層
207 In_{0.18}Ga_{0.82}N / In_{0.04}Ga_{0.96}N活性層
208 p型Al_{0.25}Ga_{0.75}N層
209 p型Ga_{0.5}Nガイド層
210 p型Al_{0.07}Ga_{0.93}Nクラッド層
211 第1のp型Ga_{0.5}N層
212 n型Ga_{0.5}N電流阻止層
213 第2のp型Ga_{0.5}N層
214 p⁺型Ga_{0.5}N層
300 発光ダイオード
310 n型GaAs基板

321 n型In_{0.5}(Al_{0.6}Ga_{0.4})_{0.5}Pクラッド層
322 In_{0.5}(Al_{0.4}Ga_{0.6})_{0.5}P活性層
323 p型In_{0.5}(Al_{0.6}Ga_{0.4})_{0.5}Pクラッド層
324 n型GaAs電流阻止層
325 p型In_{0.5}(Al_{0.6}Ga_{0.4})_{0.5}P埋め込み層
330 ZnAsコンタクト層
400 受光素子
402 GaNバッファ層
403 n型Ga_{0.5}Nコンタクト層
404 n型Al_{0.1}Ga_{0.9}Nクラッド層
405 In_{0.1}Ga_{0.9}N受光層
406 p型Al_{0.1}Ga_{0.9}Nクラッド層
407 p型Ga_{0.5}Nコンタクト層
500 MESFET
502 GaNバッファ層
503 n型Ga_{0.5}N層
504 p型Ga_{0.5}Nソース領域
505 p型Ga_{0.5}Nドレイン領域
540 ゲート電極
541 ソース電極
542 ドレイン電極
601 SiO₂膜
712 i型Ga_{0.5}N層(Znドーパ)

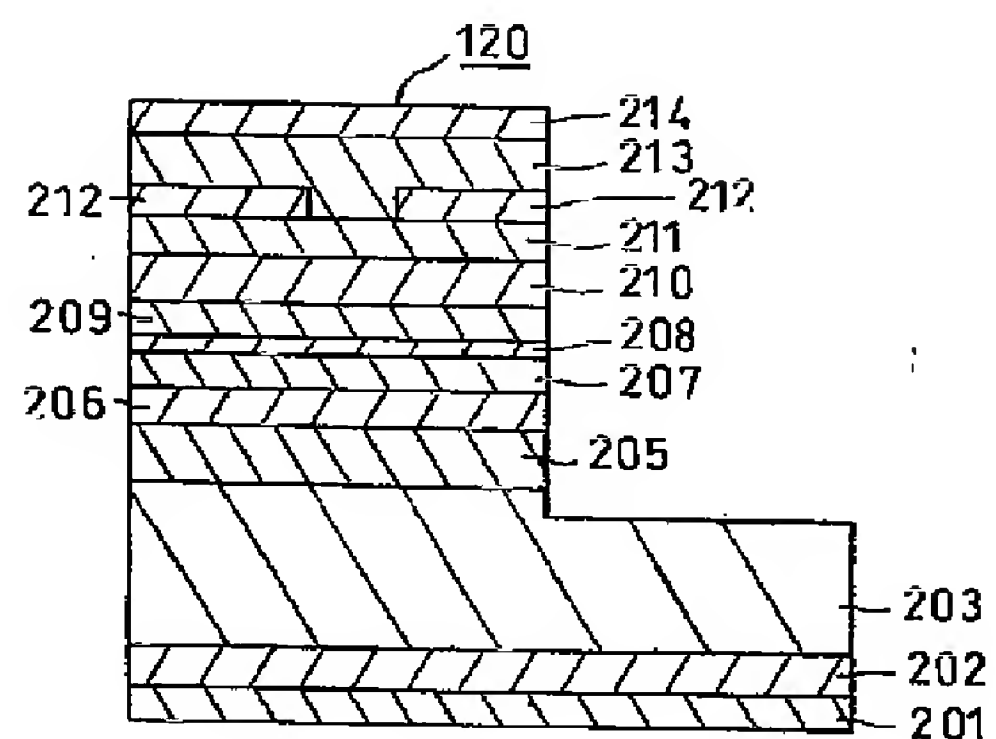
【図1】



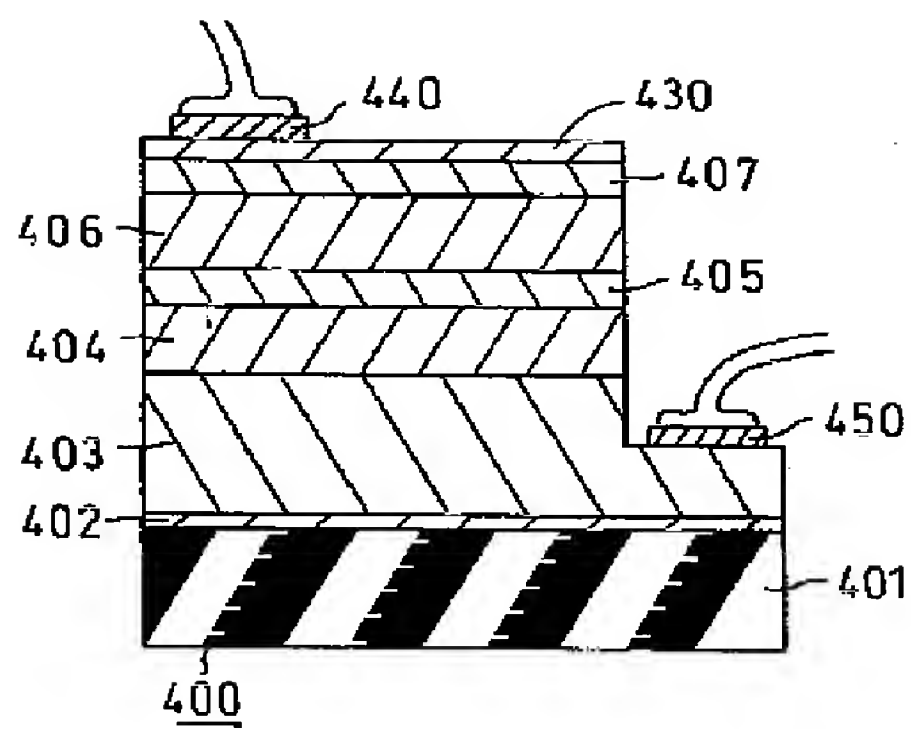
【図3】



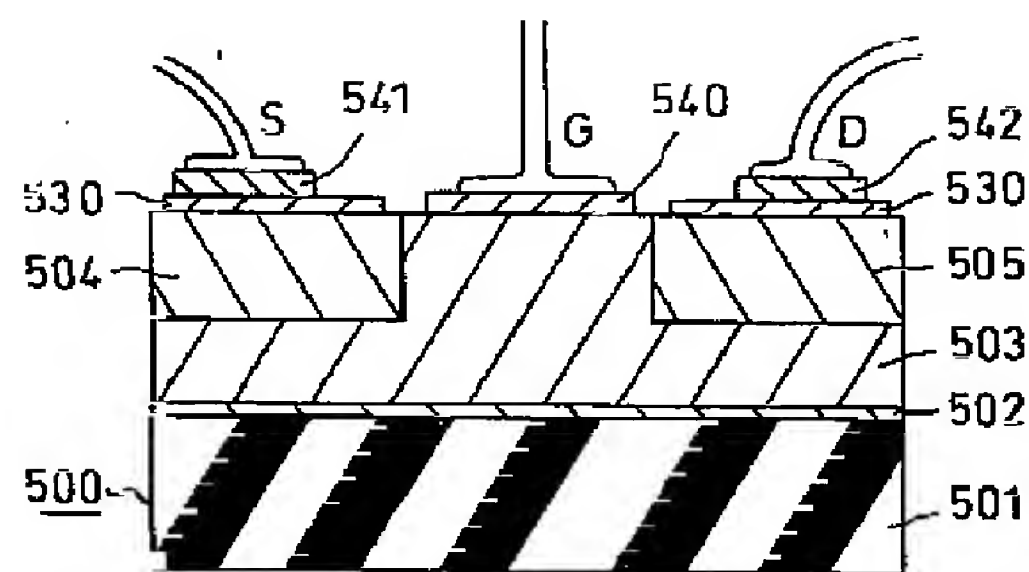
【図2】



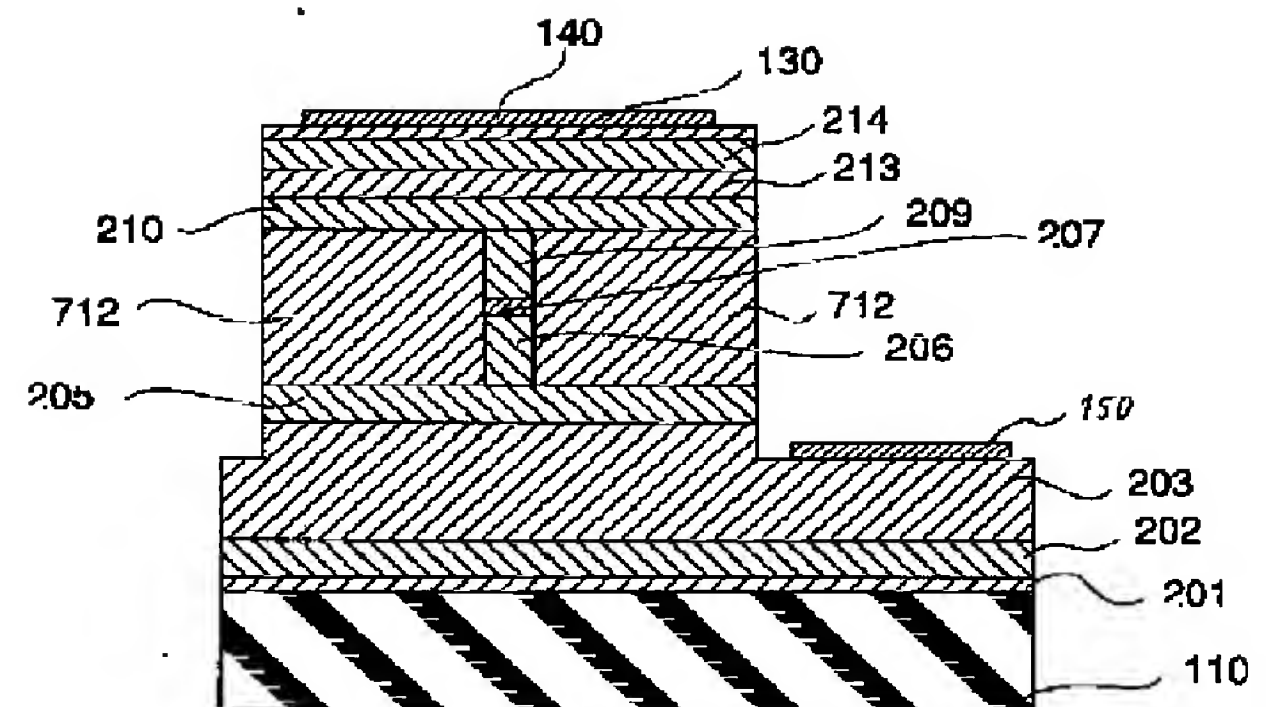
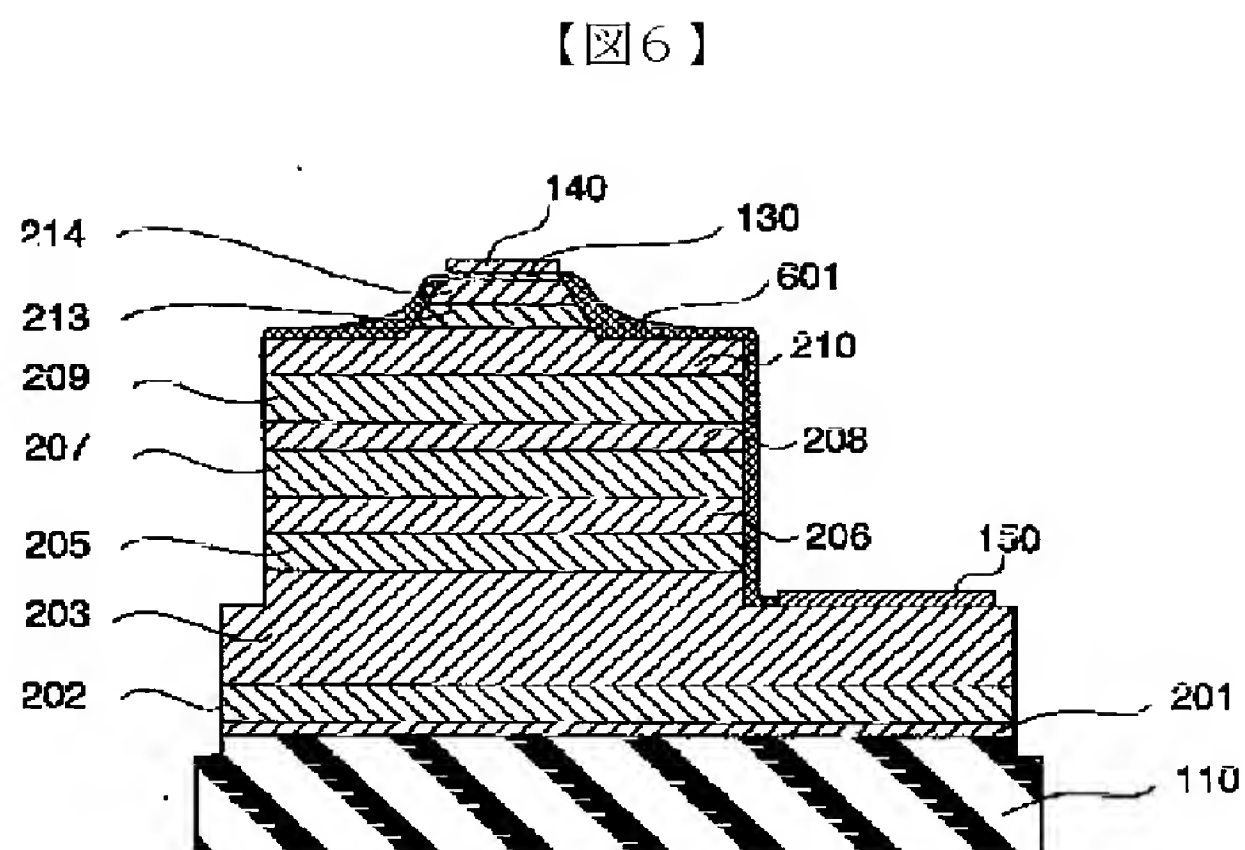
【図4】



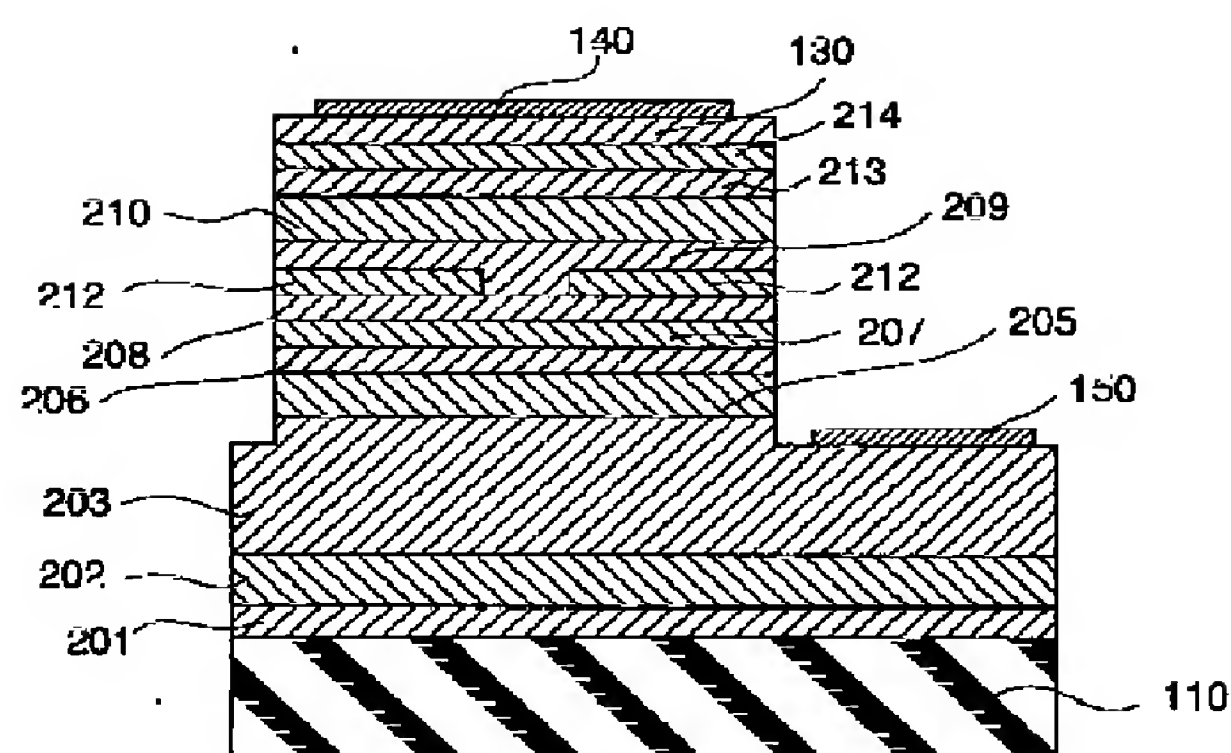
【図5】



【図7】



【図8】



フロントページの続き

(72)発明者 杉浦 理砂
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

Fターム(参考) 5F041 AA31 CA04 CA40 CA49 CA57
CA65 CA85 CA92 CB02